

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-053755

(43)Date of publication of application : 05.03.1993

(51)Int.Cl.

G06F 3/153

G06F 15/64

G06F 15/72

(21)Application number : 03-211956

(71)Applicant : FUJITSU LTD

(22)Date of filing : 23.08.1991

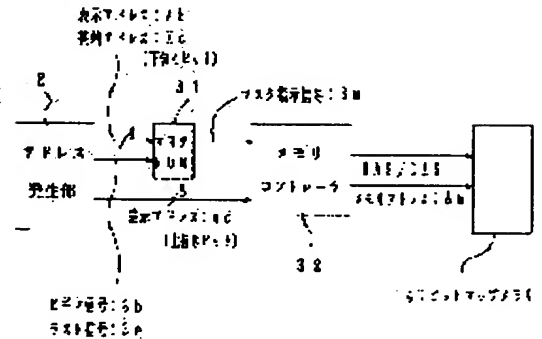
(72)Inventor : HIEDA HIROYUKI
NISHIYAMA HARUYASU
KINUGASA TOSHIMITSU
FUJISAKI TATSUYA

(54) METHOD AND DEVICE FOR WRITE INTO BIT MAP MEMORY OF IMAGE PROCESSOR

(57)Abstract:

PURPOSE: To draw a horizontal segment at a higher speed and to write the initiation and the termination of the segment into a bit map memory after controlling them for each dot.

CONSTITUTION: When a horizontal segment is written in a bit map memory 4 where one boundary consists of a prescribed number of memory elements M_k (k : additional character to divide the memory) and the dot data on a display device are stored, an address generating part 2 produces a display address A_d from the image data on the horizontal segment sent from a CPU. Then a mask ROM 31 produces a mask instruction signal S_m which masks the undesired CAS signal or RAS signal of each memory element M_k of the boundary to be written in response to the initiation address X_b and the termination address X_e of the address A_d . Then a memory controller 32 masks the CAB or RAS signal to decide the initiation and the termination of the horizontal segment.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-53755

(43)公開日 平成5年(1993)3月5日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 3/153	3 2 0 R	9188-5B		
15/64	4 5 0 C	8840-5L		
15/72	4 0 0	9192-5L		

審査請求 未請求 請求項の数2(全 9 頁)

(21)出願番号 特願平3-211956

(22)出願日 平成3年(1991)8月23日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 稗田 裕之

兵庫県加東郡社町佐保35番 (番地無し)

富士通周辺機株式会社内

(72)発明者 西山 治康

兵庫県加東郡社町佐保35番 (番地無し)

富士通周辺機株式会社内

(72)発明者 衣笠 利光

兵庫県加東郡社町佐保35番 (番地無し)

富士通周辺機株式会社内

(74)代理人 弁理士 井桁 貞一

最終頁に続く

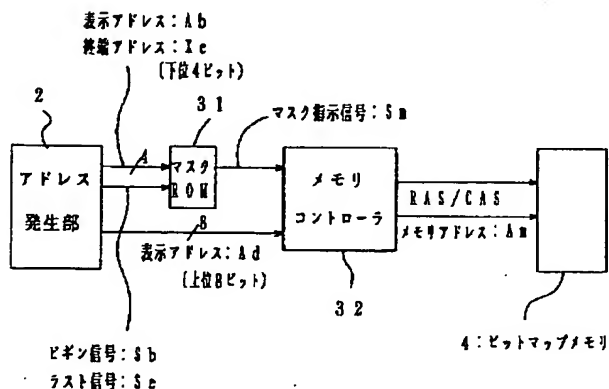
(54)【発明の名称】 画像処理装置のビットマップメモリへの書き込み方法及び装置

(57)【要約】 (修正有)

【目的】 水平方向線分の描画をより早く、線分の始端と終端をドット単位で制御してビットマップメモリに書き込みできる高速描画方法を提供する。

【構成】 表示装置のドットデータを、メモリ素子M_k : (kはメモリを区分する添字) が所定個数で1バウンダリを構成するビットマップメモリ4に水平線分を書き込む方法において、CPUより転送される水平線分の画像データよりアドレス発生部2で表示アドレスA_dを形成し、マスクROM31で、表示アドレスA_dの始端アドレスX_bと終端アドレスX_eに対応して書き込まれるべきバウンダリの各メモリ素子M_kの不要なCAS信号、またはRAS信号にマスクをかけるマスク指示信号S_mを形成し、メモリコントローラ32で、上記不要なCAS信号、またはRAS信号にマスクをかけることにより水平方向線分の始端と終端を決定する。

本発明の原理ブロック図



【特許請求の範囲】

【請求項 1】 表示装置の各ドットに対応するドットデータを、メモリ素子(Mk:kはメモリを区分する添字)が所定個数で1バウンダリを構成するビットマップメモリ

(4) に水平線分を書き込む方法において、

CPUより転送される水平線分の画像データより表示装置上の表示アドレス(Ad)を形成し、

該表示アドレス(Ad)の中、始端アドレス(Xb)と終端アドレス(Xe)に対応して、該始端あるいは終端アドレス(Xb)、(Xe)の書き込まれるべきメモリ素子(Mk)の属するバウンダリの各メモリ素子(Mk)の不要なCAS信号、またはRAS信号にマスクをかけることによって、上記水平方向線分の始端と終端を決定することを特徴とする画像処理装置のビットマップメモリへの書き込み方法。

【請求項 2】 表示装置の各ドットに対応するドットデータをメモリ素子(Mk)が所定個数で1バウンダリを構成するビットマップメモリ(4) に水平線分を書き込む装置において、

アドレス発生部(2) より得られる表示アドレス(Ad)の中の水平線分の始端アドレス(Xb)と終端アドレス(Xe)に対応して、該始端あるいは終端アドレス(Xb)、(Xe)の書き込まれるべきメモリ素子(Mk)が属するバウンダリの各メモリ素子(Mk)のCAS信号、またはRAS信号をマスクするか否かを指示するマスク指示信号(Sm)を出力するマスクROM(31)と、

該マスクROM(31)の指示に従って不要なCAS信号またはRAS信号に対してマスクをかけるメモリコントローラ(32)とを備えたことを特徴とする画像処理装置のビットマップメモリへの書き込み装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は画像処理装置に関し、特に、画像処理装置のビットマップメモリへの書き込み装置及び方法に関するものである。

【0002】

【従来の技術】 図5はCPUより得られるデータをビットマップメモリに書き込むための制御装置を示すものであり、図6は表示装置の各ドットに付したアドレス(表示アドレス)とビットマップメモリを構成するメモリ素子Mk(k:メモリを区分するサフィックスで16進1〜Fを用いる。但し、図6ではMを省略して表示している)との関係を示す概念図である。

【0003】 CPU10より得られる画像データはDDA20で上記ドットデータと、該ドットデータのアドレスとに変換され、メモリコントローラ30に入力される。ここで、上記表示アドレスをビットマップメモリ40を構成する各メモリ素子Mkのアドレス(メモリアドレス)に変換し、ドットデータを各メモリ素子Mkに書き込むことになる。

【0004】 上記図6における表示アドレスAdの各メ

モリ素子Mkへの割り付けは1のメモリサイクルにDDA20より4個の表示アドレスAdが形成されること及び、同一メモリサイクルに同一のメモリ素子Mkを2重にアクセスしないことを条件として行われており、例えば表示アドレスAd(1, 1)はメモリ素子Msに割り付けられており、表示アドレスAd(A, 3)はメモリ素子M6に割り付けられている。

【0005】 このようにDDA20で発生され、メモリコントローラ30に与えられる表示アドレスAdは、例えば以下のように各メモリ素子Mkに書き込まれる。まず、表示アドレスAdはX方向16、Y方向1のドットのいわゆる1バウンダリを単位とする部分、および1バウンダリ内の各ドット位置を規定する部分とに分けることができる。すなわち、1024×1024ドットの表示空間を表すことができるX方向、Y方向それぞれ12ビット(実際の表示可能空間は4096×4096ドットであるがその中の10ビット分即ち1024×1024ドットが実際の表示空間となる)の表示アドレスAdを考えると、X方向表示アドレスAdでは下位4ビットが1バウンダリ内でのドット位置を規定するアドレスとなり、また上位の8ビットが1バウンダリを規定するバウンダリアドレスAbになる。また、Y方向表示アドレスAdは各ビットが行を規定するアドレスとなる。

【0006】 このように表示アドレスAdが各メモリ素子Mkに割り付けされた状態で図7(a)に示すように、アドレス(3, 2)〜(A, 9)に至る直線に対応するドットデータをメモリ素子Mkに書き込もうとする場合、DDA20より最初のメモリサイクルに4個の表示アドレスAd[(3, 2)、(4, 3)、(5, 4)、(6, 5)]が、また次のメモリサイクルにも引き続き4個の表示アドレスAd[(7, 6)、(8, 7)、(9, 8)、(A, 9)]がメモリコントローラ30に転送される。

【0007】 メモリコントローラ30ではバウンダリアドレスAbと、Y方向の表示アドレスAdをメモリ素子M0〜Mfに対する書き込みアドレス(メモリアドレスAm)として出力する。すなわち、上記の場合[(0, 2)、(0, 3)、(0, 4)、(0, 5)]及び[(0, 6)、(0, 7)、(0, 8)、(0, 9)]が図7(b)に示すように順次出力される。そして、図7(c)に示すように最初のメモリサイクルで全メモリM0〜Mfに対するRAS信号がイネーブルとなっている状態でメモリ素子M8、メモリ素子M0、メモリ素子M5、メモリ素子MAのCAS信号が順次イネーブルになったときに、上記各メモリ素子、M8、M0、M5、MAのXY方向のメモリアドレスAmにドットデータが順次書き込まれることになる。次いで、2番目のメモリサイクルで全メモリ素子M0〜Mfに対するRAS信号がイネーブル状態になり、次の4つのメモリ素子に書き込まれることになる。

【0008】

【発明が解決しようとする課題】近年グラフィックデザインの分野では、表示装置に面画（ぬりつぶし）表示することが要求されるようになっており、このぬりつぶしは多数の水平線によって行うようになっている。

【0009】上記従来の方法では、複数のメモリ素子 $M_0 \sim M_f$ を用いて1アクセスタイムに4個のドットデータを書き込むようにしているが、上記のようにぬりつぶし表示をする場合の処理時間には限界がある。そこで、水平線を描く場合に限って、水平方向の1バウンダリに属するメモリ素子 M_k を全部同時にアクセスして水平方向の直線をバウンダリ単位の長さ（16ドットずつの長さ）で高速描画していく方法もある。

【0010】ところが、この方法によると1バウンダリに属するメモリ素子 M_k に共通のメモリアドレス（表示アドレス12ビットの中のバウンダリを示す上位8ビットのアドレス）を与えて、該1バウンダリに属する全部のメモリ素子 M_k に同時にドットデータを書き込むため、バウンダリ単位でしか水平線の長さの調整ができない欠点がある。

【0011】この発明は上記従来の事情に鑑みて提案されたものであって、水平方向の線分の描画をより早く、しかも該線分の始端と終端をドット単位で制御してビットマップメモリに書き込みができる画像処理装置における高速描画方法を提供することを目的とするものである。

【0012】

【課題を解決するための手段】この発明は上記目的を達成するために以下の手段を採用している。すなわち、図1に示すように、表示装置の各ドットに対応するドットデータを、メモリ素子 M_k ： $(k$ はメモリを区分する添字)が所定個数で1バウンダリを構成するビットマップメモリ4に水平線分を書き込む方法において、CPUより転送される水平線分の画像データよりアドレス発生部2で表示装置上の表示アドレス A_d を形成し、マスクROM31で、上記表示アドレス A_d の中、始端アドレス X_b と終端アドレス X_e に対応して、該始端あるいは終端アドレス X_b 、 X_e の書き込まれるべきメモリ素子 M_k の属するバウンダリの各メモリ素子 M_k の不要なCAS信号、またはRAS信号にマスクをかけるためのマスク指示信号 S_m を形成し、更に、メモリコントローラ32で、上記不要なCAS信号、またはRAS信号にマスクをかけることによって、上記水平方向線分の始端と終端を決定するようにしている。

【0013】

【作用】上記マスクROM31に線分の始端アドレス X_b を取り込むことによって、該マスクROM31は、水平方向線分の始端迄の各ドットに対応するメモリ素子 M_k にCAS信号（またはRAS信号）を与えないマスク指示信号 S_m を出力する。また、該マスクROM31に

線分の終端アドレス X_e を取り込むことによって、該マスクROM31は、水平方向線分の終端以降の各ドットに対応するメモリ素子 M_k にCAS信号（またはRAS信号）を与えないマスク指示信号 S_m を出力する。このマスク信号を受けてメモリコントローラ32は水平線分の始端から終端に至るドットに対応してCAS信号（RAS信号）を出力することになり、水平方向線分の長さが、始端及び終端に対応したドット単位でビットマップメモリ4に書き込まれることになる。

【0014】

【実施例】図2は本発明の一実施例を示すブロック図である。まず、CPUより水平方向（X方向）の線分の画像データがその始端アドレス X_b と長さデータ ΔX で与えられる。

【0015】アドレス演算部1のレジスタ12には上記始端アドレス X_b が格納される一方、加算回路13に長さデータ ΔX が入力され、該加算回路13で上記始端と長さが加え合わされる。これによって、終端アドレス X_e が得られることになり、この終端アドレス X_e はレジスタ14に格納される。

【0016】アドレス発生部2では上記始端アドレス X_b と終端アドレス X_e に基づいて、以下のようにして表示アドレス A_d が形成される。上記レジスタ12に格納された始端アドレス X_b はアドレスカウンタ21に入力され、ここで1アクセスタイムに1バウンダリずつX方向表示アドレス A_d が更新される。例えば図4に示すようにX方向の始端アドレス X_b を004とすると、004→014→024…というようにカウントアップする。このX方向の表示アドレス A_d の上位8ビット、すなわち、バウンダリのアドレスを決定するビットがコンパレータ22に入力される。

【0017】このコンパレータ22には、上記レジスタ14よりの終端アドレス X_e の上位8ビットも入力されており、これによってアドレスカウンタ21が出力する表示アドレス A_d が水平線分の終端が属するバウンダリアドレス A_b になったとき、該コンパレータ22はラスト信号 S_e を出力する。例えば、終端アドレス X_e を図4に示すように0A2すると、上記アドレスカウンタ21は上記のように004からカウントアップし0A4になったときに、上記コンパレータ22がラスト信号 S_e を出力する。

【0018】次段のメモリコントロール部3を構成するマスクROM31には、DDAコントローラ等から出力されるアドレスの開始を指示するビギン信号 S_b と、上記コンパレータ22より出力されるラスト信号 S_e が入力されるとともに、上記アドレスカウンタ21の出力する表示アドレス A_d の中、下位4ビットすなわち1バウンダリの中での各ドット位置を規定するビット、及びレジスタ14に格納されている終端アドレス X_e の下位4ビットが入力される。

【0019】図3は上記マスクROM31の内容を示すものである。すなわち、ビギン信号S_bがマスクROM31に入力されたとき、該マスクROM31には始端アドレスX_bの下位4ビットが取り込まれる。ここで、マスクROM31はこの始端アドレスX_bの下位4ビットに対応したメモリ素子M_k迄のC A S信号にマスクをかけるようにメモリコントローラ32に指示するマスク指示信号S_mを出力する。例えば始端アドレスX_bの下位4ビットが16進の2であるときには、メモリ素子M₀ ~ M₁に対応するマスク指示信号S_mがディセーブル状態となり、メモリ素子M₀ ~ M₁に対応するC A S信号にマスクがかけられる。

【0020】また、ラスト信号S_eがマスクROM31に入力されたとき、該マスクROM31には終端アドレスX_eの下位4ビットが取り込まれる。ここで、マスクROM31は該終端アドレスX_eの下位4ビットに対応したメモリ素子M_k以降のC A S信号にマスクをかけるようにメモリコントローラ32に指示するマスク指示信号S_mを出力する。例えば、終端アドレスX_eの下位4ビットが16進のAであるときには、メモリ素子M_B ~ M_Fに対応するマスク指示信号S_mをディセーブル状態し、メモリ素子M_B ~ M_Fに対応するC A S信号がマスクされることになる。

【0021】尚、図3に示すマスクROMの内容は図6に示すメモリ配列のY=0における場合を示すものであって、マスクROM31には上記Y=0の場合の他、Y=1~3における場合も同様に記憶されている。

【0022】一方、アドレスカウンタ21の出力する表示アドレスA_dの中、バウンダリを規定する上位8ビットのバウンダリアドレスA_bは、アドレスコントローラ32に入力される。

【0023】アドレスコントローラ32ではこのバウンダリアドレスA_bに基づいて各メモリ素子M_kのメモリアドレスA_mを形成することになるが、上記したようにカウンタ21は1アクセスタイムで1バウンダリのバウンダリアドレスA_b（表示アドレスA_d）を更新するので、メモリコントローラ32は1アクセス時間同じメモリアドレス（同一バウンダリを示すアドレス）A_mを出力するとともに、上記1アクセス時間同一行に対するR A S信号と各列に対するC A S信号をイネーブルにする。これによって、同一バウンダリのメモリ素子M_kの同一アドレスにドットデータが書き込まれる（1バウンダリ単位の長さの直線が書き込まれる）ことになり、例えば図4（B）に示すようにこの作業がバウンダリアドレスA_bが00~0A（16進）迄続けられる。

【0024】しかしながら、線分の始端が図4（A）に示すように、最初のバウンダリ（A_b=00）の5ドット目である場合、その始端アドレスX_bの出力に同期してD D Aコントローラ等からビギン信号S_bが出力され該始端アドレスX_bがマスクROM31に取り込まれ

る。これによってマスクROM31はメモリ素子M₀ ~ M₃に対応するC A S信号にマスクをかけるため、マスク指示信号S_mを出力する。これによって、メモリコントローラ32より出力されるC A S信号の中、メモリ素子M₀ ~ M₃に対するC A S信号はディセーブルになり、メモリ素子M₄ ~ M_Fに対するC A S信号はイネーブルとなってメモリ素子M₄ ~ M_Fにしかドットデータは書き込まれない。

【0025】また、線分の終端が図4（C）に示すように、あるバウンダリ（A_b=0A）の3ドット目である場合、アドレスカウンタ21がそのドットの属するバウンダリのアドレスになったとき、アドレスコンパレータ22からラスト信号S_eがマスクROM31に入力されるとともにROM31が終端アドレスX_eを取り込み、マスク指示信号S_mを出力する。これによってメモリコントローラ32より出力されるC A S信号の中、メモリ素子M₃ ~ M_Fに対応するC A S信号はディセーブルとなって、該メモリ素子M₃ ~ M_Fにはドットデータが書き込まれない。従って、1バウンダリの中の上記終端を示すアドレス迄のメモリ素子M₀ ~ M₂にしかドットデータの書き込みがなされないことになる。

【0026】これによって、始端と終端が規定された水平線をビットマップメモリ4に書き込むことができたことになる。しかも、このときの書き込み速度は1アクセスタイムで1バウンダリ単位であるので、通常の書き込み方法の4倍となる。

【0027】尚、上記の記述はY方向アドレスが0の場合について説明しているがY方向アドレスが0でない場合も当然あるので、マスクROM31、あるいはメモリコントローラ32はY方向の表示アドレスA_dを判別する機能を備えている。また、上記メモリコントローラ32は従来のような高速描画と、1ドット単位でビットマップメモリ4に書き込む通常の描画をするための制御方法を、D D Aコントローラ等の指示に従って切り換えることができるようになっている。

【0028】

【発明の効果】以上説明したようにこの発明は、水平線をビットマップメモリに書き込む場合に1バウンダリのメモリ素子に同時に書き込むことができるとともに、ビギン信号、ラスト信号が発生したときの表示アドレスに対応して1バウンダリを構成する各メモリ素子にマスクをかけるようにしているので、線分の始端と終端をもドット単位で規定することができる。従って、ぬりつぶし画面等水平線分を多数必要とする描画の書き込み速度を著しく向上することができる。

【図面の簡単な説明】

【図1】本発明の原理ブロック図である。

【図2】本発明の一実施例ブロック図である。

【図3】本発明のマスクROMの概要を示す説明図である。

【図4】本発明の一実施例タイミング図である。

【図5】従来例ブロック図である。

【図6】表示アドレスとメモリ素子の関係を示す概念図である。

【図7】従来例タイミング図である。

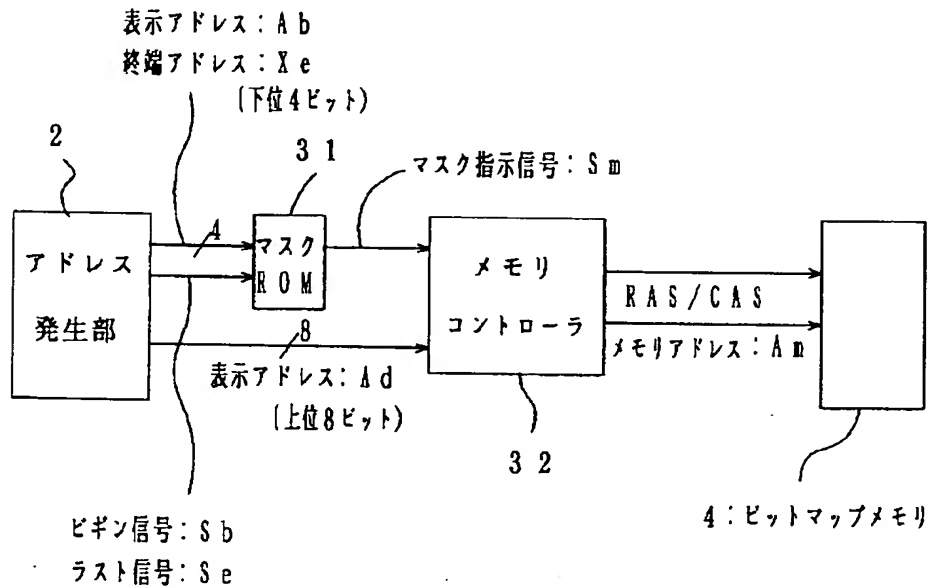
【符号の説明】

- 2 アドレス発生部
4 ビットマップメモリ

- 31 マスクROM
32 メモリコントローラ
Ad 表示アドレス
Mk メモリ素子 (k:メモリを区分する添字)
Sm マスク指示信号
Xb 始端アドレス
Xe 終端アドレス

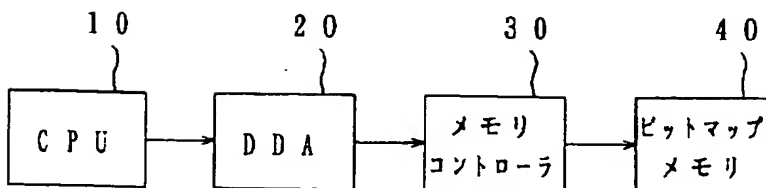
【図1】

本発明の原理ブロック図

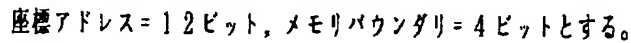


【図5】

従来例のブロック図



本発明の一実施例のブロック図



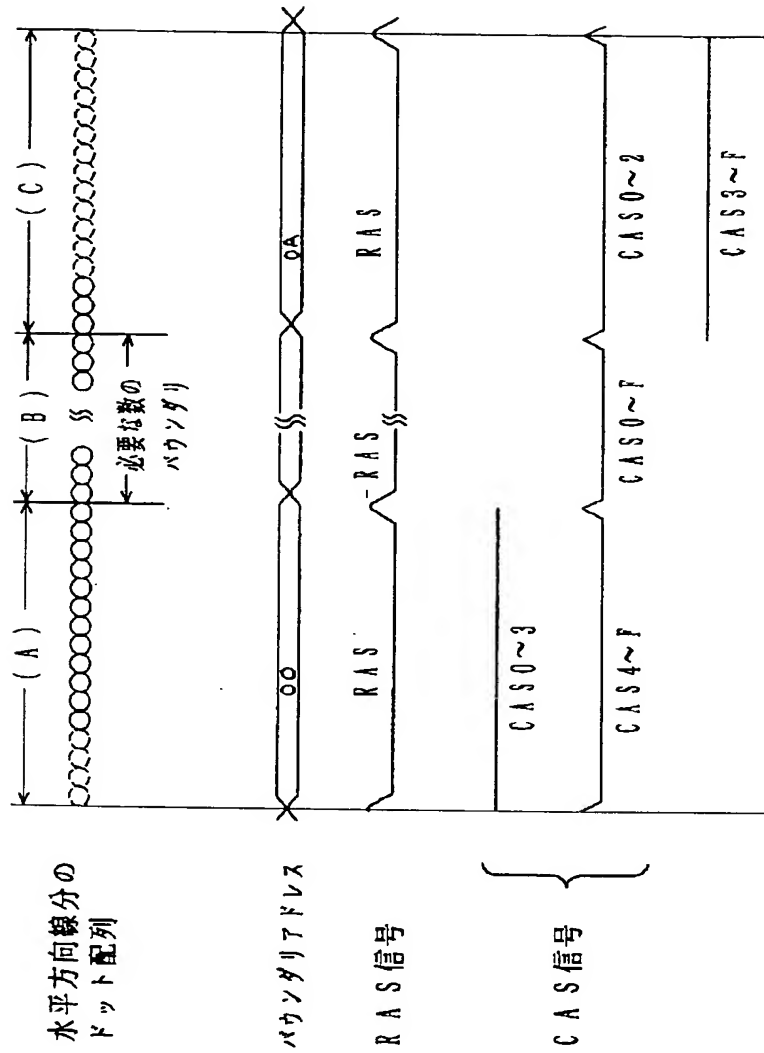
本発明のマスクROMの概要を示す説明図

終端マスク指示信号：S_m

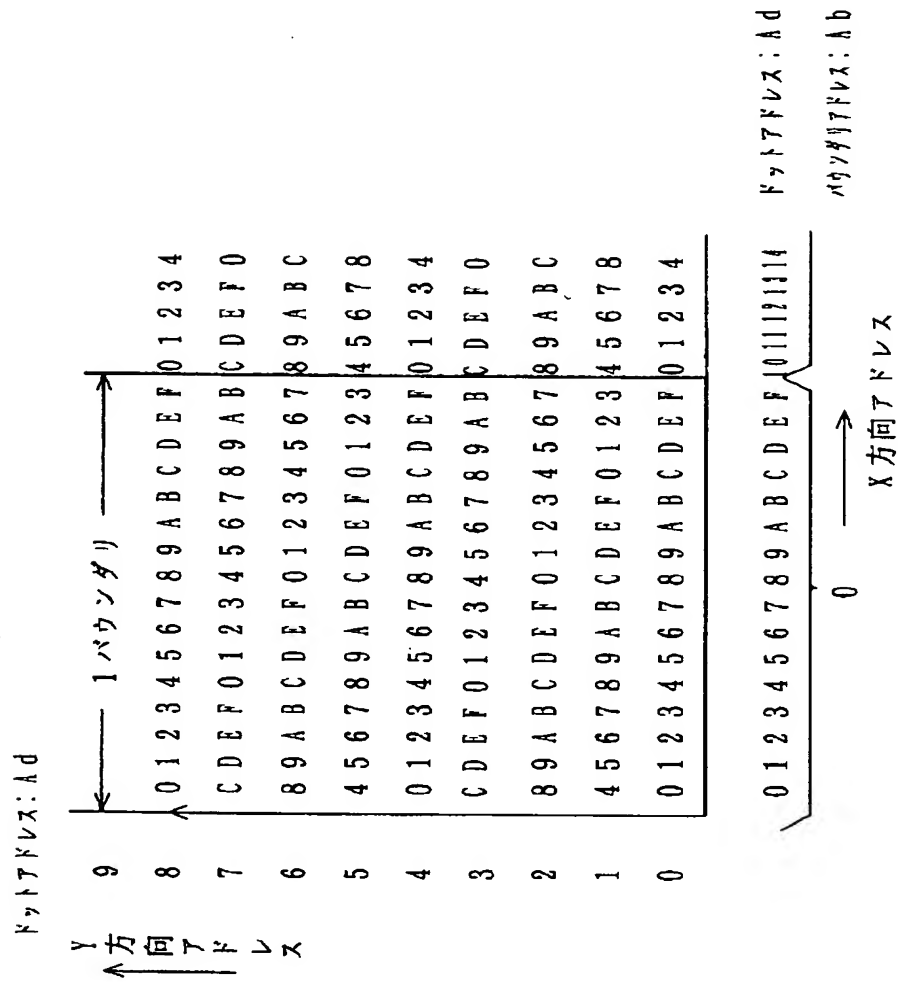
[illegible]

【図4】

本発明の一実施例のタイミング図

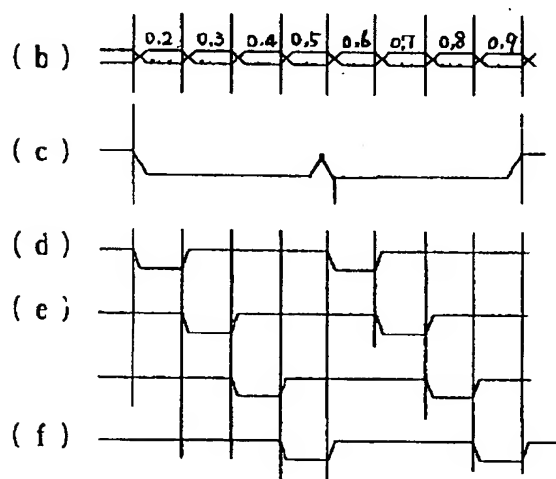
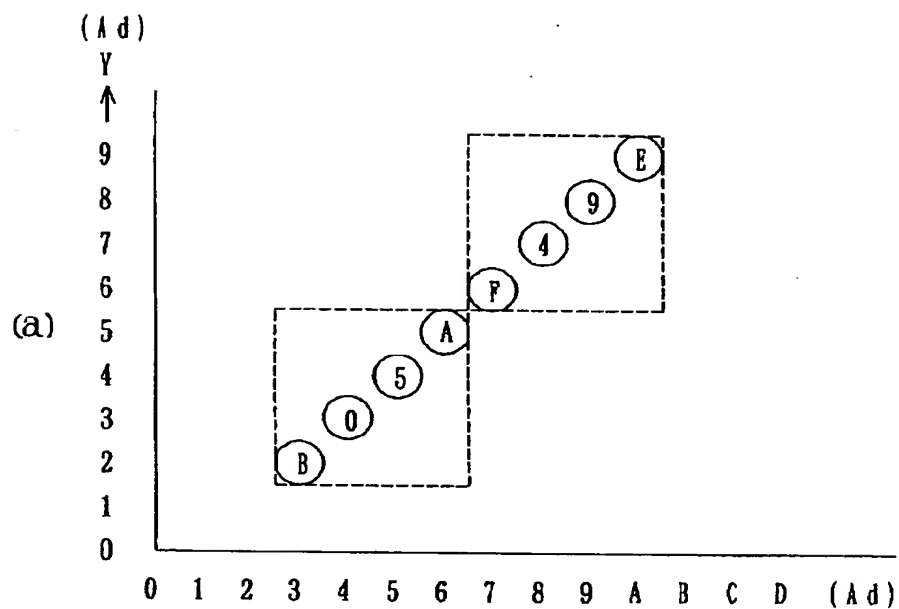


表示アドレスとメモリ素子の関係を示す概念図



【図7】

従来例のタイミング図



フロントページの続き

(72)発明者 藤崎 達也

兵庫県加東郡社町佐保35番(番地無し)

富士通周辺機株式会社内